

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-236812

(43)公開日 平成9年(1997)9月9日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343			G 0 2 F 1/1343	
1/136	5 0 0		1/136	5 0 0

審査請求 未請求 請求項の数6 OL (全 6 頁)

(21)出願番号 特願平8-41900

(22)出願日 平成8年(1996)2月28日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 篠田 雄司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

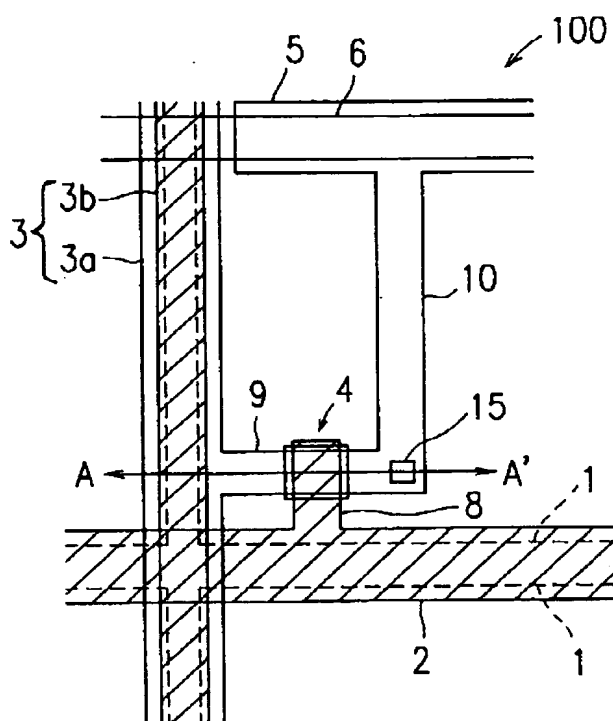
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 アクティブマトリクス基板及び液晶表示装置

(57)【要約】

【課題】 画素電極と遮光層とが重なる面積を減少させることにより、開口率が向上したアクティブマトリクス基板及び液晶表示装置を提供する。

【解決手段】 マトリクス状に配置された複数の画素電極と、スイッチング素子と、該スイッチング素子を制御する信号を与える第1の信号配線と、該スイッチング素子を介して該画素電極に信号を与える第2の信号配線と、を有するアクティブマトリクス基板であって、該第1及び第2の信号配線の少なくとも一方は、透明導体からなる第1の層と、該第1の層よりも幅狭に形成された遮光性導体からなる第2の層とを含む2層構造を有する。該画素電極は、絶縁膜を介して該第1及び第2の信号配線の少なくとも一方に重畳し、かつ該画素電極は該第2の層に重畳する部分を有する。



【特許請求の範囲】

【請求項1】 絶縁性基板と、

該絶縁性基板上にマトリクス状に配置された複数の画素電極と、

該画素電極に対応して設けられたスイッチング素子と、
該スイッチング素子を制御する信号を該スイッチング素子に与える第1の信号配線と、

該第1の配線に交差するように配置され、該スイッチング素子を介して該画素電極に信号を与える第2の信号配線と、

を有するアクティブマトリクス基板であって、

該第1及び第2の信号配線の少なくとも一方は、透明導体からなる第1の層と、該第1の層よりも幅狭に形成された遮光性導体からなる第2の層とを含む2層構造を有しており、

該画素電極と、該スイッチング素子及び第1及び第2の信号配線との間に、絶縁膜が形成され、

該画素電極は、該絶縁膜を介して該第1及び第2の信号配線の少なくとも一方に重畳し、かつ該画素電極は該第2の層に重畳する部分を有する、

アクティブマトリクス基板。

【請求項2】 前記画素電極は、前記第1及び第2の信号配線の両方に重畳している、請求項1に記載のアクティブマトリクス基板。

【請求項3】 前記2層構造を有する信号配線において、前記透明導体からなる前記第1の層は、前記遮光性導体からなる前記第2の層の下に形成されている、請求項1及び2の何れかに記載のアクティブマトリクス基板。

【請求項4】 前記2層構造を有する信号配線において、前記透明導体からなる前記第1の層は、前記遮光性導体からなる前記第2の層の上に形成されている、請求項1及び2の何れかに記載のアクティブマトリクス基板。

【請求項5】 前記スイッチング素子は、前記第2の信号配線に接続されたソース電極と、前記画素電極に接続されたドレイン電極とを有し、

該第2の信号配線は前記2層構造を有しており、
該ソース電極及び該ドレイン電極は、該第2の信号配線の前記第1の層と同一の透明導体層から形成されている、請求項1～4のいずれかに記載のアクティブマトリクス基板。

【請求項6】 請求項1から6の何れかに記載のアクティブマトリクス基板と、

対向基板と、
該アクティブマトリクス基板及び該対向基板との間に挟持された液晶層と、

を備えた液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下TFTという）などのスイッチング素子を備えた液晶表示装置に関する。

【0002】

【従来の技術】図5は、TFTを用いた従来の液晶表示装置のアクティブマトリクス基板200の構成を示す回路図である。図5に示すように、アクティブマトリクス基板200は、マトリクス状に配置された複数の画素電極21と、各画素電極21に接続されたスイッチング素子であるTFT24とを有している。TFT24のゲート電極はゲート信号配線22に接続されており、ゲート信号配線22からゲート電極に入力されるゲート信号によってTFT24の駆動（オン・オフ）が制御される。また、TFT24のソース電極はソース信号配線23に接続されており、TFT24の駆動時（オン時）に、TFT24を介してデータ（表示）信号が画素電極21に入力される。ゲート信号配線22及びソース信号配線23は、マトリクス状に配列された各画素電極21の周囲を通り、互いに直交するように設けられている。さらに、TFT24のドレイン電極は画素電極21及び付加容量25に接続されている。付加容量25の対向電極はそれぞれ共通配線26に接続されている。

【0003】図6は、従来の液晶表示装置におけるアクティブマトリクス基板200のTFT24部分の断面図である。図6に示されるように、アクティブマトリクス基板200において、透明絶縁性基板27上に、ゲート電極28が形成され、ゲート電極28を覆うようにゲート絶縁膜33が形成されている。ゲート電極28は、図5に示すゲート信号配線22に接続されている。ゲート絶縁膜33の上にはゲート電極28と対向するように半導体層32が形成されている。半導体層32の中央部上にはチャネル保護層36が形成されている。チャネル保護層36の両側には、チャネル保護層36の両端部に重畳し、半導体層32を覆うようにして、n+Si層であるコンタクト層31が形成されている。コンタクト層31は、チャネル保護層36上で2つの部分31a及び31bに分断された形となる。

【0004】コンタクト層31a及び31bには、それぞれ、ソース電極29及びドレイン電極30が接続されている。ソース電極29は、ソース配線23から延長して形成される。

【0005】さらに、TFT24、ゲート信号配線22、及びソース信号配線23を覆って層間絶縁膜34が形成されている。層間絶縁膜34の上には、透明導電膜である画素電極21が形成されている。画素電極21は、コンタクトホール35を通してドレイン電極30に電気的に接続している。

【0006】このように層間絶縁膜34を形成することにより、図7に示すように、ゲート信号配線22及びソース信号配線23上に、層間絶縁膜34を介して画素電

極21を重畳させることができる。ドレイン電極30から延長して形成された付加容量電極25は、共通配線26に対向している。

【0007】このような構造は、例えば、特開昭58-172685号公報にも開示されている。このような構成によって、液晶表示装置の開口率を向上させることができると共に、各信号配線22、23に起因する電界をシールドして液晶の配向不良を制御することができる。

【0008】アクティブマトリクス基板200を、液晶層を挟んで対向基板と貼り合わせることににより液晶表示装置が構成される。

【0009】このような液晶表示装置においては、通常、画素電極以外の箇所を遮光すべく、各画素に対応した開口部を有する遮光層が形成される。カラー液晶表示装置の場合、遮光層は、対向基板上に設けられたカラーフィルターの画素境界部に対応する部分（すなわち、異なる色の境界部）に設けられる場合が最も一般的である。但し、この場合は基板の貼り合わせに高い精度が要求されるため、遮光層をアクティブマトリクス基板側に設ける場合もある。

【0010】また、画素電極21を、層間絶縁膜34に設けられたコンタクトホール35を介してドレイン電極30と接続し、ゲート信号配線22及びソース信号配線23を遮光層として兼用する構造は、例えば、特開平4-307521号公報にも開示されている（図8）。図8に示されるように、信号配線（遮光層）22及び23を画素（影を付けた部分）21と重ねることができるため、それだけ開口率を向上できる。

【0011】

【発明が解決しようとする課題】しかしながら、上述のように、ゲート信号配線22及びソース信号配線23を遮光層として兼用した場合でも、画素電極21と各信号配線とがオーバーラップする部分は遮光されてしまうため、画素電極21の最大面積を表示部として活かすことができない。各信号配線の幅を狭くすることにより、遮光される面積を小さくすることができるが、配線幅の減少は、信号配線の高抵抗化、及び断線等の問題を引き起こすことになる。

【0012】本発明は上記事情に鑑みてなされたものであり、その目的とするところは、画素電極と遮光層とが重なる面積を減少させることにより、開口率が向上した液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、絶縁性基板と、該絶縁性基板上にマトリクス状に配置された複数の画素電極と、該画素電極に対応して設けられたスイッチング素子と、該スイッチング素子を制御する信号を該スイッチング素子に与える第1の信号配線と、該第1の配線に交差するように配置され、該スイッチング素子を介して該画素電極に信号を与

える第2の信号配線と、を有する。該アクティブマトリクス基板において、該第1及び第2の信号配線の少なくとも一方は、透明導体からなる第1の層と、該第1の層よりも幅狭に形成された遮光性導体からなる第2の層とを含む2層構造を有しており、該画素電極と、該スイッチング素子及び第1及び第2の信号配線との間に、絶縁膜が形成され、該画素電極は、該絶縁膜を介して該第1及び第2の信号配線の少なくとも一方に重畳し、かつ該画素電極は該第2の層に重畳する部分を有しており、そのことにより上記目的が達成される。

【0014】前記画素電極は、好ましくは、前記第1及び第2の信号配線の両方に重畳している。

【0015】前記2層構造を有する信号配線において、前記透明導体からなる前記第1の層は、前記遮光性導体からなる前記第2の層の下に形成されていてもよい。

【0016】前記2層構造を有する信号配線において、前記透明導体からなる前記第1の層は、前記遮光性導体からなる前記第2の層の上に形成されていてもよい。

【0017】前記スイッチング素子は、前記第2の信号配線に接続されたソース電極と、前記画素電極に接続されたドレイン電極とを有し、該第2の信号配線は前記2層構造を有しており、該ソース電極及び該ドレイン電極は、該第2の信号配線の前記第1の層と同一の透明導体層から形成されている場合がある。

【0018】本発明の液晶表示装置は、上記のアクティブマトリクス基板と、対向基板と、該アクティブマトリクス基板及び該対向基板の間に挟持された液晶層と、を備えており、そのことにより上記目的が達成される。

【0019】

【発明の実施の形態】以下、本発明を実施の形態によって説明する。

【0020】（実施例1）図1は、本発明の1つの実施の形態による液晶表示装置のアクティブマトリクス基板100の1画素部分の構成を示す平面図である。図2は、図1に示されるアクティブマトリクス基板100のA-A'断面図である。

【0021】アクティブマトリクス基板100の全体的な構成は図5に示される従来のアクティブマトリクス基板200と同様である。アクティブマトリクス基板100上には、複数の画素電極1がマトリクス状に設けられており、各画素電極1の周囲を通り、互いに直交するように、複数のゲート信号配線2及びソース信号配線3が設けられている。

【0022】図1及び2に示されるように、ゲート信号配線2とソース信号配線3との交差部には、画素電極1に接続されるスイッチング素子としてのTFT4が設けられている。TFT4のゲート電極8はゲート信号配線2に接続されており、ゲート信号配線2からゲート電極8に入力されるゲート信号によってTFT4の駆動（オン・オフ）が制御される。また、TFT4のソース電極

9はソース信号配線3に接続されており、TFT4のソース電極9にデータ信号が入力される。図1に示されるように、ドレイン電極10から延長して形成された付加容量電極5は、共通配線6に対向している。

【0023】さらに、TFT4のドレイン電極10には、コンタクトホール15を介して画素電極1が接続されている。ゲート信号配線2とソース信号配線3は、その一部が画素電極1の外周部分に重畳するように形成されている。ゲート信号配線2は遮光性導体層で形成されている。ソース信号配線3は、遮光性導体の上層3bと透明性導体の下層3aとを含む2層構造を有している。両信号配線の遮光性導体層の部分が、画素電極の形成されていない部分を覆う遮光膜の役目を果たしている。

【0024】次に、図2を参照しながら、アクティブマトリクス基板100を更に詳しく説明する。図2に示されるように、アクティブマトリクス基板100において、透明絶縁性基板7上にゲート電極8が形成され、その上に、ゲート電極8を覆うように絶縁性基板7全体にゲート絶縁膜13が形成されている。ゲート電極8は、図1に示されるように、ゲート信号配線2に接続されている。ゲート絶縁膜13の上にはゲート電極8に対向するように半導体層12が形成されている。半導体層12の中央部の上にはチャネル保護層16が形成されている。チャネル保護層16の両側には、チャネル保護層16の両端部に重畳し、半導体層12を覆うようにして、n+Si層からなるコンタクト層11が形成されている。コンタクト層11は、チャネル保護層16上で2つの部分11a及び11bに分断された形となる。

【0025】コンタクト層11a及び11bに重畳するように、それぞれ、ソース電極9及びドレイン電極10が形成されている。ソース電極9は、ソース配線3の透明導体層3aから延長して形成される。ドレイン電極10も透明導体層から形成されている。ソース信号配線3は、透明導体層3aの上に遮光性導体層3bが設けられた2層構造を有している。ソース信号配線3の上層である遮光性導体層3bの幅は、ソース信号配線3全体にわたり、下層である透明導体層3aよりも狭く形成されている。

【0026】TFT4、ゲート信号配線2、及びソース信号配線3を覆って層間絶縁膜14が形成されている。層間絶縁膜14の上には、透明導電膜である画素電極1が形成されている。画素電極1は、層間絶縁膜14に形成されたコンタクトホール15を通してドレイン電極10に電氣的に接続している。

【0027】画素電極1は、層間絶縁膜14を介してゲート信号配線2及びソース信号配線3に重畳するようにパターンニングされている。ソース信号配線3に重畳する部分においては、透明導体層3aのみでなく幅狭の遮光性導体層3bにまで重畳するように延長している。従って、ゲート及びソース信号配線2及び3の遮光導体層が

各画素間の遮光膜を兼ねるだけでなく、ソース信号配線3の遮光性導体層3bを幅狭に形成した分、従来のソース信号配線に比べて、有効画素領域を広げることができる。更に、遮光性導体層3bを幅狭に形成しても、十分な配線幅を有する透明導体層3aによってソース信号配線3の断線を防止し、更に低抵抗を維持することができる。

【0028】(実施例2)図3は、もう1つの実施例によるアクティブマトリクス基板110の断面を示している。実施例1によるアクティブマトリクス基板100においては、ソース信号配線3の2層構造は、下層3aを透明導体層、上層3bを遮光性導体層としたが、本実施例では、ソース信号配線3の下層3a'を遮光性導体層で形成し、上層3b'を透明導体層で形成している。

【0029】本実施例においては、まず、下層3a'を遮光性導体層で幅狭に形成し、上層3b'を透明導体層で形成する。上層3b'の幅は、ソース信号配線3の全体にわたって、下層3a'よりも広がっている。本実施例では、ソース信号配線3の上層3b'、ソース電極9、及びドレイン電極10を透明導電膜から同時に形成することができる。アクティブマトリクス基板110のその他の構成は、実施例1のアクティブマトリクス基板100の構成と同様である。本実施例によっても、実施例1と同様の効果を得ることができる。

【0030】(実施例3)図4は、また別の実施例によるアクティブマトリクス基板120の平面図である。実施例1及び2によるアクティブマトリクス基板100及び110においては、ソース信号配線3を2層構造としたが、本実施例においては、さらにゲート信号線2を2層構造としている。図4に示されるように、ゲート信号配線2は透明導体層2aと、透明導体層2aよりも幅狭に形成された遮光性導体層2bとを有している。

【0031】ゲート信号配線2を2層構造とする場合においても、ソース信号配線3と同様に、透明導体層2a及び遮光性導体層2bのどちらを上層あるいは下層にしてもよい。遮光性導体層2bはゲート電極8と同時に形成できる。

【0032】画素電極1は、層間絶縁膜を介してゲート信号配線2及びソース信号配線3に重畳するようにパターンニングされている。画素電極1は、ソース信号配線3に重畳する部分においては、透明導体層3aのみでなく幅狭の遮光性導体層3bにまで重畳するように延長している。同様に、ゲート信号配線2に重畳する部分においては、透明導体層2aのみでなく幅狭の遮光性導体層2bにまで重畳するように延長している。アクティブマトリクス基板120のその他の構成は、実施例1及び2のアクティブマトリクス基板100及び110の構成と同様である。

【0033】このように、ゲート及びソース信号配線2及び3を共に2層構造とすることで、遮光導体層2b及

び 3 b が各画素間の遮光膜を兼ねるだけでなく、遮光性導電層 2 b 及び 3 b を幅狭に形成した分、従来のゲート及びソース信号配線に比べて有効画素領域を広げることができる。更に、遮光性導電層 2 b 及び 3 b を幅狭に形成しても、十分な配線幅を有する透明導電層 2 a 及び 3 a によって、それぞれゲート及びソース信号配線 2 及び 3 の断線を防止し、更に低抵抗を維持することができる。本実施例によれば、一方の信号配線のみを 2 層構造とした場合よりも更に開口率の向上を図ることができる。

【0034】

【発明の効果】本発明によれば、走査信号配線及びゲート信号配線が遮光層を兼ねていることより、各画素の境界部分を覆う遮光層を基板上に別途形成する必要がない。従って、高度な貼り合わせ技術を用いることなく液晶表示素子の製造を行える。

【0035】さらに、ソース信号配線及びゲート信号配線を、透明導電層と透明導電層より幅の狭い遮光性導電層との 2 層構造とすることにより、信号配線全体が遮光膜とはならず、信号配線と画素電極とが重なる部分をも開口部として表示に利用できる。従って、信号配線と画素電極とを重ねた従来の構造よりも、さらに開口率が向上する。

【図面の簡単な説明】

【図 1】本発明の実施形態の 1 つで、ソース信号配線が透明導電膜と遮光性金属の 2 層構造となっている液晶表示装置の画素部分を示す平面図である。

【図 2】図 1 で、2 層構造のソース信号配線の下層が透明導電膜、上層が遮光性金属からなる液晶表示装置の A-A' 部分の断面図である。

【図 3】図 1 で、2 層構造のソース信号配線の下層が遮

光性金属、上層が透明導電膜からなる液晶表示装置の A-A' 部分の断面図である。

【図 4】本発明の実施形態の 1 つで、ゲート信号配線及びソース信号配線が透明導電膜と遮光性金属の 2 層構造となっている液晶表示装置の画素部分を示す平面図である。

【図 5】従来のアクティブマトリクス基板を備えた液晶表示装置の構成を示す回路図である。

【図 6】図 5 の液晶表示装置の断面図である。

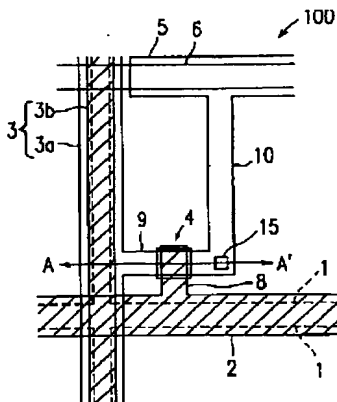
【図 7】従来の液晶表示装置の平面図である。

【図 8】従来の液晶表示装置の平面図である。

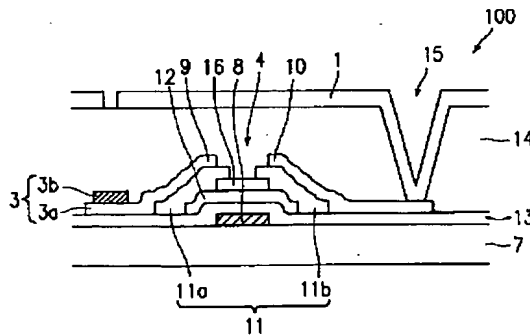
【符号の説明】

- 1 画素電極
- 2 ゲート信号配線
- 3 ソース信号配線
- 3 a, 3 b' 遮光性導電層
- 3 b, 3 a' 透明導電層
- 4 TFT
- 5 付加容量電極
- 6 共通配線
- 7 透明絶縁性基板
- 8 ゲート電極
- 9 ソース電極
- 10 ドレイン電極
- 11 コンタクト層
- 12 半導体層
- 13 ゲート絶縁膜
- 14 層間絶縁膜
- 15 コンタクトホール
- 16 チャンネル保護膜

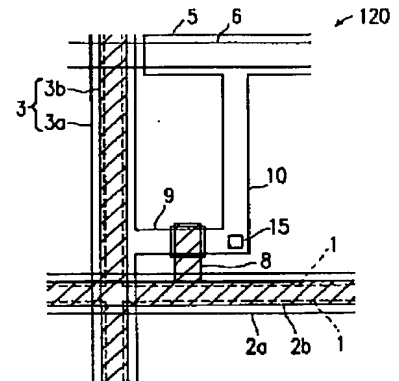
【図 1】



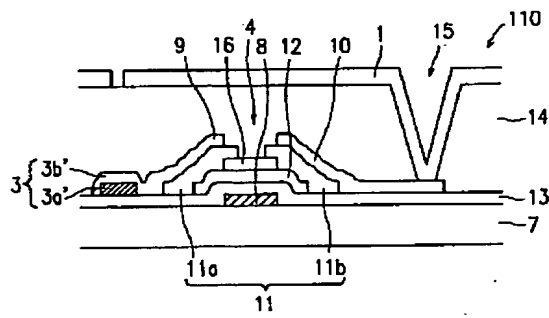
【図 2】



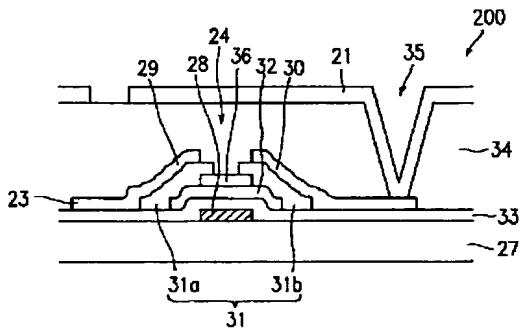
【図 4】



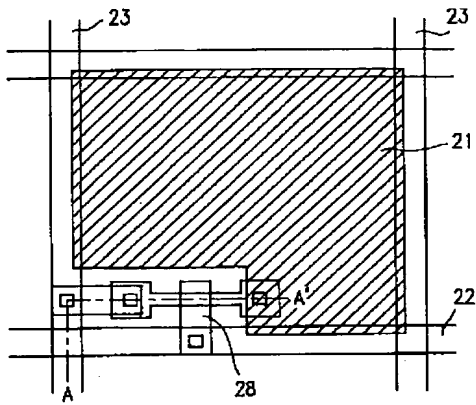
【図 3】



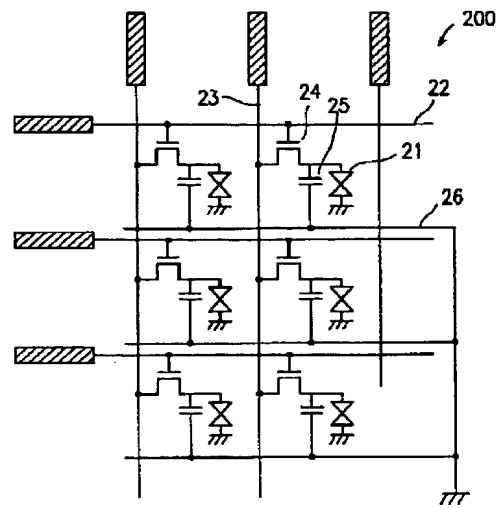
【図 6】



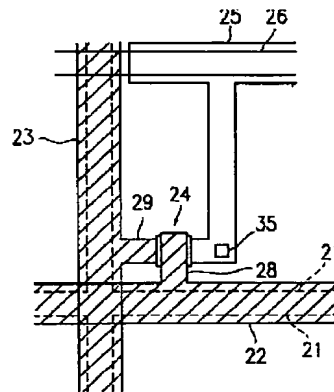
【図 8】



【図 5】



【図 7】



(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: JP-A-9-236812

(43) Date of Publication of Application: September 9, 1997

(51) Int. Cl.⁶ :

G 02 F 1/1343

1/136

Identification Number: 500

FI:

G 02 F 1/1343

1/136 500

Request for Examination: not made

Number of Claims: 6 OL (6 pages in total)

(21) Application Number: Hei-8-41900

(22) Application Date: February 28, 1996

(71) Applicant: 000005049

Sharp Corp.

22-22, Nagaike-cho, Abeno-ku, Osaka-shi,

Osaka-fu

(72) Inventor: SHINODA Yuji

c/o Sharp Corp.

22-22, Nagaike-cho, Abeno-ku, Osaka-shi,

Osaka-fu

(74) Agent: Patent Attorney, YAMAMOTO Shusaku

(54) [Title of the Invention] ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL DISPLAY DEVICE

(57) [Abstract]

[Problem] To provide an active matrix substrate and a liquid crystal display device, improved in aperture ratio by decreasing the area where a pixel electrode and a light shielding layer overlap each other.

[Means for Resolution] This active matrix substrate includes: two or more pixel electrodes disposed in a matrix; a switching element; a first signal wiring for giving a signal for controlling the switching element; and a second signal wiring for giving a signal to the pixel electrode through the switching element. At least one of the first and second signal wirings has a two-layer structure including a first layer formed of a transparent conductor and a second layer formed narrower than the first layer by a light shielding conductor. The pixel electrode is superposed on at least one of the first and second signal wirings through an insulating film, and the pixel electrode has a part superposed on the second layer.

[Claims]

[Claim 1] An active matrix substrate, comprising: an insulating substrate; a plurality of pixel electrodes disposed in a matrix on the insulating substrate; a switching element provided corresponding to the pixel electrode; a first signal

wiring for giving a signal for controlling the switching element to the switching element; and a second signal wiring disposed to intersect the first wiring to give a signal to the pixel electrode through the switching element, wherein at least one of the first and second signal wirings has a two-layer structure including the first layer formed of a transparent conductor and a second layer formed narrower than the first layer by a light shielding conductor, an insulating film is formed between the pixel electrode and the switching element and the first and second signal wirings, the pixel electrode is superposed through the insulating film at least one of the first and second signal wirings, and the pixel electrode has a part superposed on the second layer.

[Claim 2] The active matrix substrate according to claim 1, wherein the pixel electrode is superposed on both of the first and second signal wirings.

[Claim 3] The active matrix substrate according to claim 1 or 2, wherein in the signal wiring having the two-layer structure, the first layer formed of the transparent conductor is formed under the second layer formed of the light shielding conductor.

[Claim 4] The active matrix substrate according to claim 1 or 2, wherein in the signal wiring having the two-layer structure, the first layer formed of the transparent conductor is formed on the second layer formed of the light

shielding conductor.

[Claim 5] The active matrix substrate according to one of claims 1 to 4, wherein the switching element has a source electrode connected to the second signal wiring and a drain electrode connected to the pixel electrode, the second signal wiring has the two-layer structure, and the source electrode and the drain electrode are formed of the same transparent conductor layer as the first layer of the second signal wiring.

[Claim 6] A liquid crystal display device, comprising: the active matrix substrate as claimed in one of the claims 1 to 6; an opposed substrate; and a liquid crystal layer held between the active matrix substrate and the opposed substrate.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs]

This invention relates to a liquid crystal display device including a switching element such as a thin film transistor (hereinafter referred to as TFT).

[0002]

[Prior Art]

Fig. 5 is a circuit diagram showing the configuration of an active matrix substrate 200 of the conventional liquid crystal display device using a TFT. As shown in Fig. 5, the active matrix substrate 200 has two or more pixel electrodes

21 disposed in a matrix and a TFT 24 as a switching element connected to each pixel electrode 21. A gate electrode of the TFT 24 is connected to a gate signal wiring 22, so that the drive (on-off) of the TFT 24 is controlled according to a gate signal input from the gate signal wiring 22 to the gate electrode. A source electrode of the TFT 24 is connected to a source signal wiring 23 so that when the TFT 24 is driven (in the on-state), a data (display) signal is input through the TFT 24 to the pixel electrode 21. The gate signal wiring 22 and the source signal wiring 23 are provided to intersect perpendicularly to each other through the peripheries of the respective pixel electrodes 21 arrayed in a matrix. Further, a drain electrode of the TFT 24 is connected to the pixel electrode 21 and an additive capacitor 25. The counter electrodes of the additive capacitors 25 are respectively connected to a common wiring 26.

[0003]

Fig. 6 is a sectional view of a TFT 24 part of the active matrix substrate 200 of the conventional liquid crystal display device. As shown in Fig. 6, in the active matrix substrate 200, on a transparent insulating substrate 27, a gate electrode 28 is formed, and a gate insulating film 33 is formed to cover the gate electrode 28. The gate electrode 28 is connected to the gate signal wiring 22 shown in Fig. 5. A semiconductor layer 32 is formed opposite to the gate electrode 28 on the

gate insulating film 33. A channel protective layer 36 is formed on the central part of the semiconductor layer 32. On both sides of the channel protective layer 36, a contact layer 31, which is an $n + Si$ layer, is formed to be superposed on both end parts of the channel protective layer 36 and cover the semiconductor layer 32. Thus, the contact layer 31 is parted into two parts 31a and 31b on the channel protective layer 36.

[0004]

A source electrode 29 and a drain electrode 30 are connected to the contact layers 31a, 31b, respectively. The source electrode 29 is formed extending from the source wiring 23.

[0005]

Further, an interlayer insulation film 34 is formed to cover the TFT 24, the gate signal wiring 22 and the source signal wiring 23. The pixel electrode 21, which is a transparent conductive film, is formed on the interlayer insulation film 34. The pixel electrode 21 is electrically connected to the drain electrode 30 through a contact hole 35.

[0006]

The interlayer insulation film 34 is thus formed, whereby as shown in Fig. 7, the pixel electrode 21 is superposed on the gate signal wiring 22 and the source signal wiring 23 through the interlayer insulation film 34. An additive

capacitor electrode 25 formed extending from the drain electrode 30 is opposite to the common wiring 26.

[0007]

This structure is, for example, disclosed in JP-A-58-172685. By this constitution, the aperture ratio of the liquid crystal display device can be improved and electric fields caused by the respective signal wirings 22, 23 are shielded to control the alignment failure of the liquid crystal.

[0008]

The active matrix substrate 200 is aligned with the opposed substrate with the liquid crystal layer held between them to thereby constitute the liquid crystal display device.

[0009]

In the thus constructed liquid crystal display device, normally, in order to shield portions other than the pixel electrode, a light shielding layer having aperture parts corresponding to the pixels is formed. In the case of the color liquid crystal display device, it is most general that the light shielding layer is provided in a portion corresponding to the pixel boundary part of color filters provided on the opposed substrate (that is, a boundary part between different colors). In this case, however, since high accuracy is required for aligning the substrates with each other, the light shielding layer is provided on the active matrix substrate side in some

case.

[0010]

The structure in which the pixel electrode 21 is connected to the drain electrode 30 through the contact hole 35 provided in the interlayer insulating film 34 and the gate signal wiring 22 and the source signal wiring 23 are also served as the light shielding layer is disclosed in JP-A-4-307521 as well (Fig. 8). As shown in Fig. 8, since the signal wirings (light shielding layers) 22 and 23 are superposed on the pixel (a slant line part) 21, the aperture ratio can be improved so much.

[0011]

[Problems that the Invention is to Solve]

As described above, however, even in the case of using the gate signal wiring 22 and the source signal wiring 23 also as the light shielding layer, the overlapping parts of the pixel electrode 21 and the respective signal wirings are shielded, so that the maximum area of the pixel electrode 21 can not be utilized as the display part. Although the respective signal wirings are reduced in width to decrease the shielded area, a decrease in width of wiring will cause high resistance of the signal wiring and problems such as breaking of wire.

[0012]

The invention has been made in the light of the above circumstances, and it is an object of the invention to provide

a liquid crystal display device, which is improved in aperture ratio by decreasing the overlapping area of the pixel electrode and the light shielding layers.

[0013]

[Means for Solving the Problems]

An active matrix substrate of the invention includes: an insulating substrate; a plurality of pixel electrodes disposed in a matrix on the insulating substrate; a switching element provided corresponding to the pixel electrode; a first signal wiring for giving a signal for controlling the switching element to the switching element; and a second signal wiring disposed to intersect the first wiring to give a signal to the pixel electrode through the switching element. In the active matrix substrate, at least one of the first and second signal wirings has a two-layer structure including the first layer formed of a transparent conductor and a second layer formed narrower than the first layer by a light shielding conductor, an insulating film is formed between the pixel electrode and the switching element and the first and second signal wirings, the pixel electrode is superposed through the insulating film at least one of the first and second signal wirings, and the pixel electrode has a part superposed on the second layer, whereby the above object can be achieved.

[0014]

The above the pixel electrode is preferably superposed

on both of the first and second signal wirings.

[0015]

In the signal wiring having the two-layer structure, the first layer formed of the transparent conductor is formed under the second layer formed of the light shielding conductor.

[0016]

In the signal wiring having the two-layer structure, the first layer formed of the transparent conductor may be formed on the second layer formed of the light shielding conductor.

[0017]

The switching element has a source electrode connected to the second signal wiring and a drain electrode connected to the pixel electrode, the second signal wiring has the two-layer structure, and the source electrode and the drain electrode are formed of the same transparent conductor layer as the first layer of the second signal wiring in some case.

[0018]

A liquid crystal display device of the invention includes: the above active matrix substrate; an opposed substrate; and a liquid crystal layer held between the active matrix substrate and the opposed substrate to thereby achieve the above object.

[0019]

[Mode for Carrying Out the Invention]

The invention will now be described by the embodiments.

[0020]

(Embodiment 1) Fig. 1 is a plan view showing the constitution of one pixel part of an active matrix substrate 100 of a liquid crystal display device according to one embodiment of the invention. Fig. 2 is a sectional view of the active matrix substrate 100 shown in Fig. 1 taken along line A - A'.

[0021]

The general constitution of the active matrix substrate 100 is similar to that of the conventional active matrix substrate 200 shown in Fig. 5. On the active matrix substrate 100, two or more pixel electrodes 1 are provided in a matrix and two or more gate signal wirings 2 and source signal wirings 3 are provided to pass the peripheries of the respective pixel electrodes 1 and intersect perpendicularly to each other.

[0022]

As shown in Figs. 1 and 2, the intersecting part of a gate signal wiring 2 and a source signal wiring 3 is provided with a TFT 4 as a switching element connected to the pixel electrode 1. A gate electrode 8 of the TFT 4 is connected to the gate signal wiring 2, and the drive (on-off) of the TFT 4 is controlled according to a gate signal input from the gate signal wiring 2 to the gate electrode 8. A source electrode 9 of the TFT 4 is connected to the source signal wiring 3, and a data signal is input to the source electrode 9 of the TFT

4. As shown in Fig. 1, an additive capacitor electrode 5 formed extending from a drain electrode 10 is opposite to a common wiring 6.

[0023]

The pixel electrode 1 is connected through a contact hole 15 to the drain electrode 10 of the TFT 4. The gate signal wiring 2 and the source signal wiring 3 are formed partly in a superposition on the outer peripheral part of the pixel electrode 1. The gate signal line 2 is formed of a light shielding conductor layer. The source signal wiring 3 has a two-layer structure including an upper layer 3b formed of a light shielding conductor and a lower layer 3a formed of a transparent conductor. The light shielding conductor layer parts of both signal wirings function as a light shielding film covering an area where the pixel electrode is not formed.

[0024]

The active matrix substrate 100 will now be described further in detail with reference to Fig. 2. As shown in Fig. 2, in the active matrix substrate 100, the gate electrode 8 is formed on the transparent insulating substrate 7, and a gate insulating film 13 is formed on the whole of the insulating substrate 7 to cover the gate electrode 8. The gate electrode 8 is, as shown in Fig. 1, connected to the gate signal wiring 2. A semiconductor layer 12 is formed opposite to the gate electrode 8 on the gate insulating film 13. A channel

protective layer 16 is formed on the central part of the semiconductor layer 12. On both sides of the channel protective layer 16, a contact layer 11 made of n + Si layer is formed to be superposed on both end parts of the channel protective layer 16 to cover the semiconductor layer 12. The contact layer 11 is parted into two parts 11a and 11b on the channel protective layer 16.

[0025]

The source electrode 9 and the drain electrode 10 are formed to be superposed on the contact layers 11a and 11b, respectively. The source electrode 9 is formed extending from the transparent conductor layer 3a of the source wiring 3. The drain electrode 10 is also formed extending from the transparent conductor layer. The source signal wiring 3 has a two-layer structure in which the light shielding conductor layer 3b is provided on the transparent conductor layer 3a. The width of the light shielding conductor layer 3b as the upper layer of the source signal wiring 3 is formed smaller than that of the transparent conductor layer 3a as the lower layer throughout the source signal wiring 3.

[0026]

An interlayer insulating film 14 is formed to cover the TFT 4, the gate signal wiring 2, the source signal wiring 3. The pixel electrode 1, which is a transparent conductive film, is formed on the interlayer insulating film 14. The pixel

electrode 1 is electrically connected to the drain electrode 10 through the contact hole 15 formed in the interlayer insulating film 14.

[0027]

The pixel electrode 1 is subjected to patterning to be superposed on the gate signal wiring 2 and the source signal wiring 3 through the interlayer insulating film 14. In the superposed part on the source signal wiring 3, the pixel electrode is extended by superposition not only on the transparent conductor layer 3a but also on the narrower light shielding conductor layer 3b. Accordingly, the light shielding conductor layers of the gate and source signal wirings 2 and 3 can not only serve as a light shielding film between the pixels, but also the light shielding conductor layer 3b of the source signal wiring 3 can be formed narrower so as to enlarge the effective pixel region for that as compared with the conventional source signal wiring. Further, even if the light shielding conductor layer 3b is formed narrower, breaking of wire of the source signal wiring 3 can be prevented by the transparent conductor layer 3a having enough wiring width, and further the resistance can be kept low.

[0028]

(Embodiment 2) Fig. 3 shows a sectional view of an active matrix substrate 110 according to another embodiment. Although the two-layer structure of the source signal wiring

3 is composed of the transparent conductor layer as the lower layer 3a and the light shielding conductor layer as the upper layer 3b in the active matrix substrate 100 according to the embodiment 1, the lower layer 3a' of a source signal wiring 3 is formed of a light shielding conductor layer, and the upper layer 3b' is formed of a transparent conductor layer in the present embodiment.

[0029]

In the present embodiment, first the lower layer 3a' is formed narrower by the light shielding conductor layer, and the upper layer 3b' is formed of the transparent conductor layer. The width of the upper layer 3b' is made larger than that of the lower layer 3a' throughout the source signal wiring 3. In the present embodiment, the upper layer 3b' of the source signal wiring 3, a source electrode 9 and a drain electrode 10 can be simultaneously formed from the transparent conductive film. The rest of constitution of the active matrix substrate 110 is similar to that of the active matrix substrate 100 of the embodiment 1. The similar effect to that of the embodiment 1 can be obtained in the present embodiment as well.

[0030]

(Embodiment 3) Fig. 4 is a plan view of an active matrix substrate 120 according to still another embodiment. Although the source signal wiring 3 has a two-layer structure in the active matrix substrates 100 and 110 of the embodiments 1 and

2, further a gate signal wiring 2 has a two-layer structure in the present embodiment. As shown in Fig. 4, the gate signal wiring 2 has a transparent conductor layer 2a and a light shielding conductor layer 2b formed narrower than the transparent conductor layer 2a.

[0031]

Also in the case where the gate signal wiring 2 has a two-layer structure, similarly to the source signal wiring 3, either the transparent conductor layer 2a or the light shielding conductor layer 2b will be an upper layer or a lower layer. The light shielding conductor layer 2b can be formed simultaneously with the gate electrode 8.

[0032]

The pixel electrode 1 is subjected to patterning to be superposed on the gate signal wiring 2 and the source signal wiring 3 through the interlayer insulating film. The pixel electrode 1 is extended by superposition not only on a transparent conductor layer 3a but also on a narrower light shielding conductor layer 3b in the part superposed on the source signal wiring 3. Similarly in the part superposed on the gate signal wiring 2, the pixel electrode is extended by superposition not only on the transparent conductor layer 2a but also on the narrower light shielding conductor layer 2b. The rest of constitution of the active matrix substrate 120 is the same as those of the active matrix substrates 100 and

110 of the embodiments 1 and 2.

[0033]

The gate and source signal wirings 2 and 3 are thus constructed in two layers, so that the light shielding conductor layers 2b and 3b can not only serve as the light shielding film between the pixels, but also the light shielding conductor layers 2b and 3b can be formed narrower so as to enlarge the effective pixel region for that as compared with the conventional gate and source signal wirings. Further, even if the light shielding conductor layers 2b and 3b are formed narrower, breaking of wire of the gate and source signal wirings 2 and 3 can be prevented by the transparent conductor layers 2a and 3a having enough wiring width, and further the resistance can be kept low. According to the present embodiment, the aperture ratio can be further improved as compared with the case where only one signal wiring has a two-layer structure.

[0034]

[Advantage of the Invention]

According to the present invention, the scan signal wiring and the gate signal wiring are also used as the light shielding layer, whereby it is not necessary to separately form a light shielding layer covering the boundary part between the pixels on the substrate. Accordingly, the liquid crystal display element can be manufactured without high-level panel

alignment technology.

[0035]

Further, the source signal wiring and the gate signal wiring are constructed in two layers of the transparent conductor layer and the light shielding conductor layer narrower than the transparent conductor layer, whereby the entire signal wiring does not become a light shielding film, and the overlapping part of the signal wiring and the pixel electrode can be also used as an aperture part for display. Accordingly, the aperture ratio can be further improved as compared with the conventional structure in which the signal wiring and the pixel electrode overlap each other.

[Brief Description of the Drawings]

Fig. 1 is a plan view showing a pixel part of a liquid crystal display device in which a source signal wiring has a two-layer structure of a transparent conductive film and a light shielding metal according to one embodiment of the invention;

Fig. 2 is a sectional view of the liquid crystal display device in which the lower layer of the source signal wiring of a two-layer structure is formed of a transparent conductive film, and the upper layer is formed of light shielding metal, taken along line A - A' of Fig. 1;

Fig. 3 is a sectional view of the liquid crystal display device in which the lower layer of the source signal wiring

having a two-layer structure is formed of light shielding metal and the upper layer is formed of a transparent conductive film, taken along line A - A' of Fig. 1;

Fig. 4 is a plan view showing a pixel part of a liquid crystal display device in which a gate signal wiring and a source signal wiring have a two-layer structure of a transparent conductive film and a light shielding metal according to one embodiment of the invention;

Fig. 5 is a circuit diagram showing the constitution of a liquid crystal display device including the conventional active matrix substrate;

Fig. 6 is a sectional view of the liquid crystal display device shown in Fig. 5;

Fig. 7 is a plan view of the conventional liquid crystal display device; and

Fig. 8 is a plan view of the conventional liquid crystal display device.

[Description of Reference Numerals and Signs]

1: pixel electrode 2: gate signal wiring 3: source signal wiring 3a, 3b': light shielding conductor layer 3b, 3a': transparent conductor layer 4: TFT 5: additive capacitor electrode 6: common wiring 7: transparent insulating substrate 8: gate electrode 9: source electrode 10: drain electrode 11: contact layer 12: semiconductor layer 13: gate insulating film 14: interlayer insulating

film 15: contact hole 16: channel protective film